

© EPODOC / EPO

PN - JP59005354 A 19840112  
PD - 1984-01-12  
PR - JP19820114423 19820630  
OPD - 1982-06-30  
TI - DATA PROCESSING DEVICE  
IN - SASOU HIDEYUKI  
PA - FUJITSU LTD  
EC - G06F9/22D  
IC - G06F9/06 ; G06F9/22 ; G06F11/22  
CT - JP47041542 A [ ] ; JP56031141 A [ ]

© PAJ / JPO

PN - JP59005354 A 19840112  
PD - 1984-01-12  
AP - JP19820114423 19820630  
IN - SASOU HIDEYUKI  
PA - FUJITSU KK  
TI - DATA PROCESSING DEVICE  
AB - PURPOSE: To make an apparent executing speed of a machine language instruction variable, by using an instruction group consisting of plural microinstructions as one processing unit, and inserting a dummy time in accordance with whether a set condition exists or not, or proceeding to the following processing without inserting it.  
- CONSTITUTION: Plural M instruction groups are stored in a control storage CS 1, and a CS control part 2 controls updating and readout of a CS address. A processor controlling part 3 controls each part of a computer by a mu-instruction read out of the CS 1, and an arithmetic part 4 operates the number of calculations in a work register 5 in accordance with a command of the processor controlling part 3. Data of a dummy time setting part 6, a PSW register 7, a general register 8 and a main storage 9 are set to the work register 5. The dummy time setting part 6 stores information indicating whether a dummy time is inserted or not, at the time of loading a mu program. In this way, an apparent executing speed of a machine language instruction can be made variable by inserting the dummy time as necessary.  
I - G06F9/22 ; G06F9/06 ; G06F11/22

**THIS PAGE BLANK (USPTO)**

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59-5354

⑬ Int. Cl.<sup>3</sup>

G 06 F 9/22

9/06

11/22

識別記号

庁内整理番号

Z 8120-5B

E 7218-5B

6913-5B

⑭ 公開 昭和59年(1984)1月12日

発明の数 1

審査請求 未請求

(全 4 頁)

⑮ データ処理装置

川崎市中原区上小田中1015番地

富士通株式会社内

⑯ 特 願 昭57-114423

⑰ 出 願 人 富士通株式会社

⑱ 出 願 昭57(1982)6月30日

川崎市中原区上小田中1015番地

⑲ 発 明 者 佐相秀幸

⑳ 代 理 人 弁理士 京谷四郎

明 細 書

1. 発明の名称

データ処理装置

2. 特許請求の範囲

マイクロプログラム制御方式のデータ処理装置において、複数のマイクロ命令から成るマイクロ命令群を一つの処理単位とし、該処理単位毎に設定条件を参照し、ダミー時間設定がある場合にはダミー時間を挿入し、ダミー時間を挿入した該処理単位が終了した後、次の処理単位の実行を開始するように構成したことを特徴とするデータ処理装置。

3. 発明の詳細な説明

(発明の技術分野)

本発明は、マイクロプログラム制御方式のデータ処理装置において、機械語命令あるいは入出力指令などの実行に要する時間を可変とすることが出来るようにしたものである。

(従来技術と問題点)

プログラムを作成した場合、このプログラムを計算機で実行させることにより、プログラムを検証することは従来より行われている。しかし、プログラムは検証の際に使用された計算機と同種の計算機によってのみ実行されるとは限らず、異種の計算機にそのプログラムを実行させることも行われているが、このような場合には内部の動作が異なる場合がある。第1図および第2図は、異なる中央処理装置、同一のチャネル/入出力装置で同一ソフトウェアを走行させた場合の動作例を示すものである。第1図および第2図においてCPU<sub>1</sub>とCPU<sub>2</sub>は中央処理装置、CHはチャネルIOは入出力装置、AとBは機械語命令をそれぞれ示している。BIO命令を発行すると、入出力装置側は入出力オペレーションを実行する。中央処理装置側ではBIO命令を発行した後、次の機械語命令A、B…の実行を行う。入出力オペレーションが終了すると、入出力装置側は入出力オペレーションの終了を制込みで以って中央処理装置に通知する。第

1 図においては入出力割込みが機械語命令 B の終了時点で行われており、第 2 図においては機械語命令 A の終了時に入出力割込みが行われている。なお、CPU<sub>1</sub> の機械語命令の実行速度は CPU<sub>2</sub> より遅いものとしている。したがって、同一のプログラムを機械語命令実行速度の異なる計算機で実行させる場合には、そのプログラムが異なる動作環境においても正常に動作するか否かをチェックする必要がある。しかし、プログラムを異なる種々のハードウェアで実行させてプログラムの正常性のテストを行うことは、テストの負担を著しく増大させるという欠点がある。

#### ( 発明の目的 )

本発明は、上記の考察に基づくものであって、同一のハードウェアを用いて機械語命令の見掛け上の実行速度を可変にできるようにしたデータ処理装置を提供することを目的としている。

#### ( 発明の構成 )

そしてそのため、本発明のデータ処理装置は、マイクロプログラム制御方式のデータ処理装置に

することにより、機械語命令の見掛け上の実行速度を可変にすることが出来る。

第 4 図は本発明の中央処理装置のハードウェア構成の 1 例を示す図である。第 4 図において、1 は制御記憶 ( 以下、CB という )、2 は CB 制御部、3 はプロセッサ制御部、4 は演算部、5 はワーク・レジスタ、6 はダミー・タイム設定部、7 は PSW レジスタ、8 は汎用レジスタ群、9 は主記憶、10 は機械語命令、11 は  $\mu$  ( マイクロ ) 命令群をそれぞれ示している。

CB1 には複数の  $\mu$  命令群が格納されている。

CB 制御部 2 は、CB アドレスの更新や読出しの制御などを行うものである。プロセッサ制御部 3 は、CB1 から読出されたマイクロ命令に基づいて計算機の各部を制御するものである。演算部 4 はプロセッサ制御部 3 からの指令にしたがって、ワーク・レジスタ 5 内の演算数を演算するものである。ワーク・レジスタ 5 には、ダミー・タイム設定部 6、PSW レジスタ 7、汎用レジスタ 8 および主記憶 9 のデータがセットされる。ダミー・タイム

において、複数のマイクロ命令から成るマイクロ命令群を一つの処理単位とし、該処理単位毎に設定条件を参照し、ダミー時間設定がある場合にはダミー時間を挿入し、ダミー時間を挿入した該処理終了した後に次の処理単位の実行を開始するように構成したことを特徴とするものである。

#### ( 発明の実施例 )

以下、本発明を図面を参照しつつ説明する。第 3 図は本発明の原理を説明する図、第 4 図は本発明を実施するための中央処理装置のハードウェアの 1 実施例を示す図、第 5 図は LH ( Load Halfword ) 命令および SH ( Store Halfword ) 命令を説明する図、第 6 図は本発明を実施するためのマイクロ命令列の 1 例を示すものである。

第 1 図は本発明の概要を示す図である。第 1 図において、CPU1' は中央処理装置を示している。第 1 図の実施例は 1 つの機械語命令の実行後にダミー時間を挿入し、ダミー時間経過後に次の機械語命令 B の実行を開始できるようにしたものである。ダミー時間を挿入したり、挿入しなかったり

設定部 6 には、ダミー・タイム挿入の有無を示す情報が格納される。この格納動作は、初期マイクロプログラム・ローディング時に行われる。PSW レジスタ 7 には、次の命令実行番地情報を含む種々の制御情報が格納されている。

第 5 図は LH 命令および SH 命令を説明するものである。これらの命令は機械語命令である。LH 命令は、第 2 オペランド部の内容で指定された主記憶 9 上のデータを第 1 オペランド部の内容で指定される汎用レジスタにセットするためのものである。この場合、汎用レジスタの上位側の 16 ビットはオール「0」とされる。SH 命令は、第 1 オペランド部の内容で指定される汎用レジスタの下位 16 ビットを第 2 オペランド部の内容で指定される主記憶 9 の記憶場所に格納するためのものである。

第 6 図は本発明を実施するためのマイクロ命令列の 1 例を示すものである。なお、この例は LH 命令を実行する場合を例としている。

① MB READ  $\mu$  命令を実行し、OP コードを主

記憶 9 からフェッチし、ワーク・レジスタ 5 にセットする。

⑧ O P コード分岐  $\mu$  命令を実行し、ワーク・レジスタ 5 の内容に従って分岐する。

⑨ M8 READ  $\mu$  命令を実行し、LH 命令の第 2 オペランド部の内容を主記憶 9 から読出してワーク・レジスタ 5 にセットする。

⑩ アドレス計算  $\mu$  命令を実行し、第 2 オペランド・アドレスの計算を行う。

⑪ M8 READ  $\mu$  命令を実行し、主記憶 9 から第 2 オペランド・データを読み出し、ワーク・レジスタ 5 にセットする。

⑫ M8 READ  $\mu$  命令を実行し、LH 命令の第 1 オペランド部の内容（汎用レジスタのアドレス）を読み出し、これをワーク・レジスタ 5 にセットする。

⑬ GR WRITE  $\mu$  命令を実行し、ワーク・レジスタ 5 内の第 2 オペランド・データを汎用レジスタにセットする。

⑭ DUMMY REG. READ  $\mu$  命令を実行し、ダミー・

タイミ設定部 6 からデータを読み出す。

⑮ ダミー・タイム挿入の有無を調べ、Yes の場合には⑩の処理を行い、No の場合には⑭の処理を行う。

⑯ 命令フェッチ部に分岐する。

⑰ 無操作  $\mu$  命令を行う。

⑱ 無操作  $\mu$  命令を行い、次に⑮の処理を行う。

なお、①、②の処理は、全ての機械語命令を実行する際に共通に実行される処理であり、③ないし⑯の処理はLH命令に固有の処理である。

第 6 図の実施例では機械語命令の終了時にダミー・タイム挿入の指示があるか、否かを  $\mu$  命令で既取り、挿入指示がある場合には無操作命令を実行しているが、この代りに専用の  $\mu$  命令を実行し、ダミー設定がある場合には一定時間の遅延を取ったのち次の  $\mu$  命令をフェッチするようにハードウェアを構成してもよい。第 6 図のようにダミー・タイムのチェックを挿入すれば各機械語命令ごとの実行時間を変えることが出来るし、また、①の処理の直前に⑥、⑦、⑧の処理を挿入すれば全体

的に実行時間を代えることが出来る。⑥、⑦、⑧の処理のうちダミー判断部分を毎回実行すると通常時に性能が低下するので、初期マイクロプログラムの格納時にダミー挿入の必要性があるか否かを調べ、必要性ありの場合には、⑥の処理を行うためのマイクロ命令を格納し、必要性なしの場合には⑥の処理を行うためのマイクロ命令を格納せず、CB<sub>1</sub> 上で⑥のマイクロ命令の次の⑦の処理を行うためのマイクロ命令が位置するようにしても良い。

#### 〔発明の効果〕

以上の説明から明らかなように、本発明によれば、機械語命令の見掛上の実行速度を可変とすることが出来る。

#### 4. 図面の簡単な説明

第 1 図および第 2 図は異なる中央処理装置、同一のチャネル／入出力装置で同一のソフトウェアを走行させた場合の動作例を示す図、第 3 図は本発明の原理を説明する図、第 4 図は本発明を実施

するための中央処理装置のハードウェアの 1 実施例を示す図、第 5 図は LH (Load Halfword) 命令および SH (Store Halfword) 命令を説明する図、第 6 図は本発明を実施するためのマイクロ命令列の 1 例を示すものである。

1 … 制御記憶（以下、CB という）、2 … CB 制御部、3 … プロセッサ制御部、4 … 演算部、5 … ワーク・レジスタ、6 … ダミー・タイム設定部、7 … PSW レジスタ、8 … 汎用レジスタ群、9 … 主記憶、10 … 機械語命令、11 …  $\mu$  (マイクロ) 命令群。

特許出願人 富士通株式会社  
代理人弁理士 京谷 四郎

PATENT TRADE  
 001 21 2001 898 JCI-

図 1

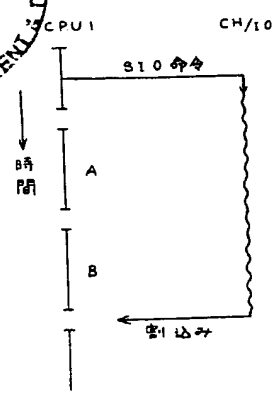


図 2

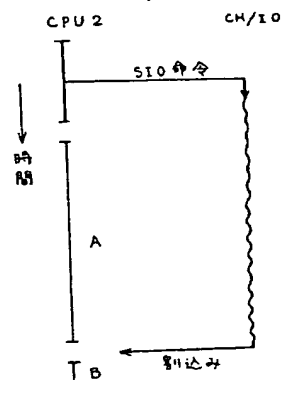


図 3

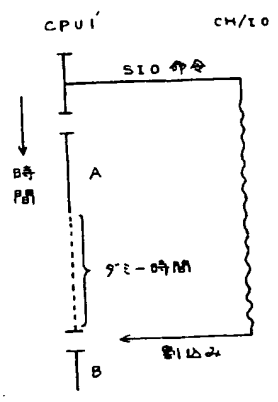


図 4

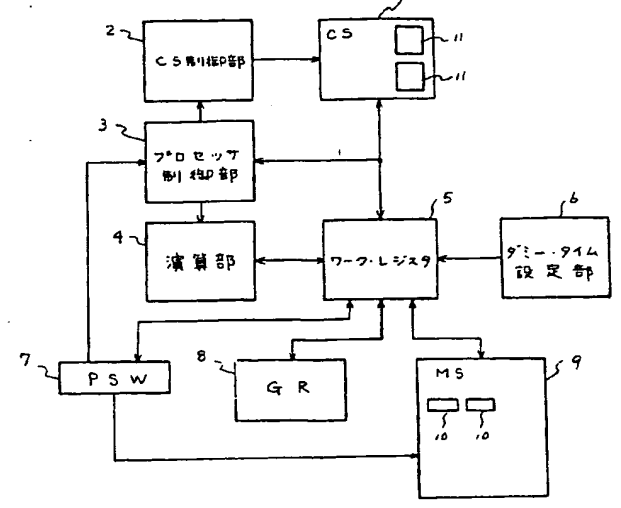


図 5

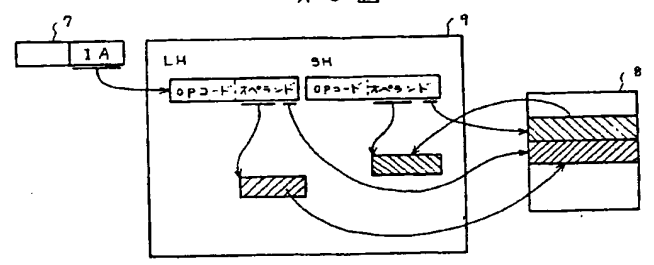


図 6

